

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020018883 A
(43)Date of publication of application: 09.03.2002

(21)Application number: 1020000052182
(22)Date of filing: 04.09.2000

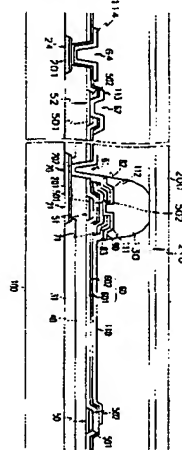
(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: HONG, MUN PYO
HONG, WAN SIK
KIM, SANG IL
NOH, SU GWI

(51)Int. Cl G02F 1/136

(54) THIN FILM TRANSISTOR SUBSTRATE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A thin film transistor substrate and a method for manufacturing the same are provided to secure both TFT characteristics and color filter characteristics simultaneously by employing a dual-layered gate insulating film. CONSTITUTION: A thin film transistor substrate includes data lines (20,21,24) including data electrodes formed on an insulated substrate, color filters of red, green and blue formed on the substrate, an insulating film(40) covering the data lines and the color filters, gate lines(50-52) including gate electrodes formed on the insulated substrate crossing the data lines for defining pixels, a dual-layered gate insulating film(60) covering the gate lines, first contact holes(61) for partially exposing the gate insulating film and the data lines on the gate insulating film, a semiconductor layer pattern(71) formed on the gate insulating film of the gate electrodes, ohmic contact layer patterns(82,83) formed on the semiconductor layer pattern, and pixel lines formed on the ohmic contact layer pattern and having source electrodes(112) connected to the data lines via the first contact holes, drain electrodes(111) separated from the source electrodes and facing the source electrodes, and pixel electrodes(110) connected to the drain electrodes.



copyright KIPO 2002

Legal Status

Date of request for an examination (20050809)
Notification date of refusal decision (00000000)
Final disposal of an application (rejection)
Date of final disposal of an application (20070419)
Patent registration number ()

Date of registration (00000000)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G02F 1/136	(11) 공개번호 특2002-0018883
	(43) 공개일자 2002년03월09일
(21) 출원번호 10-2000-0052182	
(22) 출원일자 2000년09월04일	
(71) 출원인 삼성전자 주식회사	
(72) 발명자 홍완식	
	서울특별시서초구방배동대우효령아파트104동402호
	홍운표
	경기도성남시분당구수내동푸른마을쌍용아파트401동2202호
	김상일
	경기도수원시팔달구영통동청명주공아파트406동201호
	노수귀
	경기도수원시팔달구영통동벽산아파트803동1604호
(74) 대리인 유미특허법인, 김원근	

심사청구 : 없음

(54) 박막 트랜지스터 기판 및 그 제조방법

요약

본 발명은 컬러 필터 위에 TFT가 배열되는 박막 트랜지스터 기판에서, TFT의 특성과 컬러 필터의 특성을 동시에 확보하기 위하여, 저온 증착 절연막과 고온 증착 절연막으로 이루어진 이중층 구조의 게이트 절연막을 채용하되, 고온 증착 절연막을 컬러 필터가 고온 공정으로 인하여 손상을 받기 전에 완료할 수 있도록 얇게 형성한다. 이러한 박막 트랜지스터 기판을 제조하기 위하여, 절연 기판 위에 데이터선을 포함하는 데이터 배선, 적, 녹, 청의 컬러 필터 및 이들을 덮는 절연막을 형성한다. 이어, 절연막 상부에 게이트 배선을 형성하고, 그 위에 이중층 구조의 게이트 절연막을 형성한다. 이어, 게이트 절연막 위에 성모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 게이트 절연막과 절연막에 데이터선 일부를 드러내는 제 1 접촉 구멍을 형성한 후, 성 모양의 저항성 접촉층 패턴 위에 소스용 전극 및 드레인용 전극과, 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성한 다음, 소스용 전극과 드레인용 전극의 사이에 위치하는 저항성 접촉층 패턴의 노출 부분을 제거한다.

대표도

도5

색인어

저온 증착 절연막, 고온 증착 절연막, 컬러 필터

영세서

도면의 간단한 설명

- 도 1은 공정 조건에 따른 컬러 필터의 색깔별 투과율 변화를 나타낸 것이고,
- 도 2a와 도 2b는 300 °C 공정을 거친 컬러 필터 표면의 현미경 사진을 나타낸 것이고,
- 도 3은 게이트 절연막 형성시의 공정 온도에 따른 TFT의 온/오프 동작 특성을 비교하여 나타낸 것이고,
- 도 4는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이고,
- 도 5는 도 4에 도시한 박막 트랜지스터 기판을 절단선 V-V'을 따라 나타낸 단면도이고,
- 도 6a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 첫 번째 제조 단계에서의 기판의 배치도이고,
- 도 6b는 도 6a에 도시한 절단선 VIb-VIb'을 따라 나타낸 단면도이고,
- 도 7a는 도 6a의 다음 단계에서의 기판의 배치도이고,
- 도 7b는 도 7a에 도시한 절단선 VIIb-VIIb'을 따라 나타낸 단면도이고,

- 도 8a는 도 7a의 다음 단계에서의 기판의 배치도이고,
- 도 8b는 도 8a에 도시한 절단선 VIIIb-VIIIb'을 따라 나타낸 단면도이고,
- 도 9는 도 8b의 다음 단계에서의 기판의 단면도이고,
- 도 10a는 도 9의 다음 단계에서의 기판의 배치도이고,
- 도 10b는 도 10a에 도시한 절단선 Xb-Xb'을 따라 나타낸 단면도이고,
- 도 11은 도 9와 도 10b의 사이에 실시되는 제조 공정의 단면을 나타낸 것이고,
- 도 12a는 도 10a의 다음 단계에서의 기판의 배치도이고,
- 도 12b는 도 12a에 도시한 절단선 XIIb-XIIb'을 따라 나타낸 단면도이고,
- 도 13은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것으로 특히, 액정 표시 장치에 사용되는 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 화상을 표시하는 장치이다.

액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 두 기판 중 하나에는 박막 트랜지스터와 화소 전극이 형성되어 있으며, 나머지 다른 기판에는 컬러 필터와 블랙 매트릭스(black matrix)와 전연의 공통 전극이 형성되어 있는 것이 일반적이다.

이러한 액정 표시 장치의 휘도를 향상시키기 위해서는 패널의 높은 개구율을 확보하는 것이 필요하다. 이때, 개구율을 감소시키는 가장 중요한 요인으로서는 데이터선과 화소 전극 사이에서 발생하는 커플링 효과에 의한 기생 용량으로 인한 데이터선과 화소 전극 사이의 거리 확보와 두 기판의 오정렬로 인한 블랙 매트릭스의 선풍이다. 이러한 문제점을 해결하기 위해서 컬러 필터를 상판이 아닌 하판에 먼저 형성한 후, TFT(Thin Film Transistor) 어레이(array)를 형성하는 AOC(Array on Color filter) 구조가 제시되었다.

신뢰성 있는 TFT를 제조하기 위해서는 게이트 절연막의 형성 공정을 350 °C 이상에서 실시해야 하고, 양호한 컬러 필터를 제조하기 위해서는 컬러 필터의 제조 공정을 250 °C 이하에서 실시해야 한다. 이러한 공정 조건을 감안하여, AOC 구조의 박막 트랜지스터 기판을 안정적으로 구현하기 위해서는 컬러 필터의 내열 온도가 350°C 이상으로 올라가거나, TFT의 공정 온도가 250 °C 이하로 낮아져야 하는데, 이 두 가지를 모두 만족시키는 데에는 한계가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 AOC 구조의 박막 트랜지스터 기판에서, TFT의 특성과 컬러 필터의 특성을 동시에 확보할 수 있는 박막 트랜지스터 기판 및 그 제조 방법을 제공하고자 한다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 250°C 이하의 저온 증착으로 형성되는 절연막 (이하, 저온 증착 절연막이라 함)과 300°C 이상의 고온 증착으로 형성되는 절연막 (이하, 고온 증착 절연막이라 함)으로 이루어진 이중층 구조의 게이트 절연막을 채용하되, 고온 증착 절연막을 컬러 필터가 고온 공정으로 인하여 손상을 받기 전에 완료할 수 있도록 얇게 형성한다.

상세하게, 본 발명에 따른 박막 트랜지스터 기판에서는 절연 기판 위에 형성되는 데이터선을 포함하는 데이터 배선이 형성되어 있고, 기판 상부에는 적, 녹, 청의 컬러 필터가 형성되어 있으며, 절연막이 데이터 배선 및 컬러 필터를 덮고 있다. 절연막 상부에는 데이터선과 교차하여 화소를 정의하는 게이트선 및 게이트 전극을 포함하는 게이트 배선이 형성되어 있고, 이중층 구조의 게이트 절연막이 게이트 배선을 덮고 있다. 게이트 절연막과 절연막에는 데이터선의 일부를 드러내는 제 1 점착 구멍이 형성되어 있고, 게이트 전극의 게이트 절연막 상부에는 반도체층 패턴이 형성되어 있다. 반도체층 패턴 상부에는 저항성 점착층 패턴이 형성되어 있고, 저항성 점착층 패턴 상부에는 제1 점착 구멍을 통하여 데이터선과 연결되어 있는 소스용 전극, 소스용 전극과 분리되어 마주하는 드레인용 전극 및 상기 드레인용 전극과 연결되는 화소 전극을 포함하는 화소 배선이 형성되어 있다.

이 때, 게이트 절연막은 250°C 이하의 저온 증착으로 형성되는 저온 증착 절연막과 300°C 이상의 고온 증착으로 형성되는 고온 증착 절연막의 이중층 구조로 형성될 수 있는데, 저온 증착 절연막은 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 중의 하나일 수 있고, 고온 증착 절연막은 통상 비정질 산화 규소막 혹은, 통상 비정질 질화 규소막일 수 있다. 이 때, 고온 증착 절연막은 500 ~ 1000 Å 두께로 얇게 형성되는 것이 바람직하며, 절연막은 유기 절연 물질로 이루어질 수 있다.

게이트 배선은 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 데이터 배선은 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며, 게이트 절연막 및 절연막은 게이트 패드 및 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며, 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되며 화소 전극과 동일한 층으로 형성되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함할 수 있다.

이 때, 데이터 배선은 데이터선에 연장되어 반도체층 패턴에 대응하는 부분에 위치하는 광 차단부를 더 포함할 수 있는데, 이 광차단부가 게이트선과 화소 전극 사이의 영역을 가려주도록 게이트선 방향으로 더 연장되도록 형성되는 것이 바람직하다. 그리고, 소스용 전극과 드레인용 전극 사이의 반도체층 패턴 상부에 형성되어 있는 보호막을 더 포함할 수 있으며, 보호막의 상부에 형성되어 있는 간격 유지재를 더 포함할 수 있다.

본 발명에 따른 박막 트랜지스터 기판을 제조하기 위하여, 절연 기판 위에 데이터선을 포함하는 데이터 배선을 형성한 다음, 기판 상부에 적, 녹, 청의 컬러 필터를 형성한 후, 데이터 배선 및 컬러 필터를 덮는 절연막을 형성한다. 이어, 절연막 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성한 다음, 게이트 배선을 덮는 이중층 구조의 게이트 절연막을 형성한다. 이어, 게이트 절연막 위에 섬 모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 게이트 절연막과 절연막에 데이터선 일부를 드러내는 제1 접촉 구멍을 형성한 후, 섬 모양의 저항성 접촉층 패턴 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성한다. 이어, 소스용 전극과 드레인용 전극의 사이에 위치하는 저항성 접촉층 패턴의 노출 부분을 제거하여 소스용 전극과 드레인용 전극 사이의 반도체층 패턴을 드러낸다. 이 때, 게이트 절연막은 250℃ 이하의 저온 증착으로 형성되는 저온 증착 절연막과 300℃ 이상의 고온 증착으로 형성되는 고온 증착 절연막의 이중층 구조로 형성할 수 있는데, 저온 증착 절연막과 고온 증착 절연막은 불연속적으로 증착하고, 고온 증착 절연막, 비정질 규소막, 불순물이 도핑된 비정질 규소막을 연속적으로 증착할 수 있다.

여기서, 게이트 절연막, 제 1 접촉 구멍, 반도체층 패턴 및 접촉층 패턴은, 게이트 배선을 덮는 게이트 절연막, 비정질 규소막 및 불순물이 도핑된 비정질 규소막을 차례로 증착하고, 게이트 전극 위에 위치하는 제 1 부분 및 제 1 접촉 구멍이 형성될 부분을 제외한 전 부분에 제 1 부분보다 얇게 형성되는 제 2 부분으로 이루어지는 감광막 패턴을 형성하고, 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여 그 하부의 불순물이 도핑된 비정질 규소막, 비정질 규소막, 게이트 절연막 및 절연막을 식각하여 제 1 접촉 구멍을 형성하고, 감광막 패턴의 제 2 부분을 제거하고, 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 불순물이 도핑된 비정질 규소막, 비정질 규소막을 식각하여 섬 모양의 반도체층 패턴과 저항성 접촉층 패턴을 형성하고, 감광막 패턴의 제 1 부분을 제거하는 과정을 통하여 형성할 수 있다.

이 때, 데이터선에 연장되어 반도체층에 대응하는 부분에 위치하는 광 차단부를 더 형성할 수 있는데, 이 광차단부를 게이트선과 화소 전극 사이의 영역을 가려주도록 게이트선 방향으로 더 연장하여 형성하는 것이 바람직하다.

데이터선에 연장되어 상기 반도체층 패턴 또는 게이트 배선에 대응하는 부분에 위치하는 광 차단부를 형성하도록 데이터 배선을 형성할 수 있고, 데이터선에 연장되어 게이트선과 화소 전극 사이에 위치하는 광 차단부를 형성하도록 데이터 배선을 형성할 수 있다.

게이트 배선은 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 데이터 배선은 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며, 게이트 절연막 및 절연막은 게이트 패드 및 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며, 제2 및 제3 접촉 구멍을 통하여 게이트 패드 및 데이터 패드와 연결되며 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 더 형성할 수 있다.

화소 배선을 형성한 이후, 보호막과 간격 유지재를 더 형성할 수 있다.

본 발명에 따른 박막 트랜지스터 기판에서는, 기판 위에 복수의 컬러 필터층이 형성되어 있고, 컬러 필터층 위에 유기 절연막이 형성되어 있다. 유기 절연막 위에는 복수의 게이트 전극을 포함하는 게이트 배선들이 형성되어 있고, 게이트 배선 위에는 250℃ 이하의 저온 증착으로 형성되는 저온 증착 절연막이 형성되어 있다. 저온 증착 절연막 위에는 게이트 전극과 함께 반도체층 및 소스 전극 및 드레인 전극을 포함하여 구성되는 복수의 박막 트랜지스터가 형성되어 있으며, 드레인 전극에 전기적으로 연결되는 복수의 화소 전극이 형성되어 있다. 이 때, 저온 증착 절연막은 유기 절연막일 수 있고, 저온 증착 절연막 상에 형성되는 무기 절연막을 더 포함할 수 있다.

그러면, 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치의 구조에 대하여 설명한다.

연접한 바와 같이, AOC 구조의 박막 트랜지스터 기판을 안정적으로 구현하기 위해서는 공정 마진을 감안하여 컬러 필터의 내열 온도가 350℃ 이상이거나, TFT의 공정 온도가 250℃ 이하로 낮아져야 한다.

본 발명에서는 이러한 공정 조건의 문제를 해결하고 AOC 구조를 공정적으로 가능하게 하기 위하여 저온 증착 절연막\고온 증착 절연막의 2중층의 게이트 절연막을 사용한다.

도 1은 공정 조건에 따른 컬러 필터의 색깔별 투과율 변화를 나타낸 것이다. 여기서, 실선은 가열하지 않은 상태에서의 적, 녹, 청 컬러 필터의 투과율을 나타낸 것이고, 점선은 적, 녹, 청 컬러 필터를 형성한 다음 345℃의 진공에서 2시간 동안 가열하고 서서히 식힌후 측정된 투과율을 나타낸 것이고, 일정 색선은 300℃에서 질화 규소를 플라즈마(plasma) 증착 조건에서 40분 동안 적층한 후 적, 녹, 청 컬러 필터의 투과율을 나타낸 것이다. 여기서, 투과율의 저하는 안료 입자의 승화로 인한 손실을 의미한다.

실험 결과에 의하면, 컬러 필터의 안료 입자들은 350℃ 이상의 고온에서 승화하여 탈색을 유발하며, 플라즈마 증착 조건에서는 더 낮은 온도에서도 승화가 일어난다.

또한, 진공 중에서 345℃까지는 2시간 가열하여도 변색이 거의 관찰되지 않으나, 플라즈마 내에서는 300℃에서 10여분 만에 안료 입자의 승화가 일어남이 관찰되었다.

도 2a와 도 2b는 300 ℃ 공정을 거친 컬러 필터 표면의 현미경 사진을 나타낸 것이다. 도 2a는 플라즈마 증착 조건에서 40분간 질화 규소막을 증착한 샘플을 나타낸 것이고, 도 2b는 단순 가열한 샘플이다.

질화 규소막이 증착된 샘플은 안료 입자의 승화에 의해 질화 규소막이 파괴되면서 심한 탈색이 보인다. 컬러 필터 상부에 질화 규소와 같은 불투명 박막층이 존재하거나 새로이 증착되는 경우, 증기압에 의해 상부막이 파괴되는 현상이 발생한다. 따라서, 컬러 필터의 손상을 방지하기 위해서는 게이트 절연막 증착시, 공정 온도를 250 ℃ 이하로 내려야 한다.

그러나, 일반적인 PECVD(Plasma Enhanced Chemical Vapor Deposition)법에 의해 형성되는 TFT는 전 공정 중 가장 높은 온도를 요구하는 게이트 절연막의 비정질 질화 규소막의 증착 온도가 250℃ 이하일 경우에는 TFT 동작 특성이 저하되는 문제가 발생한다.

도 3은 동일 두께의 게이트 절연막을 가지는 두 TFT에 있어서, 게이트 절연막 형성시의 공정 온도에 따른 TFT의 온/오프 동작 특성을 비교하여 나타낸 것이다.

300℃ 표준 공정으로 제작한 TFT에 비하여 250℃에서 제작된 TFT는 오프 전류가 증가하고, 문턱전압이 이동하는 등 동작 특성이 저하됨을 알 수 있다.

AOC 구조의 박막 트랜지스터 기판을 안정적으로 구현하기 위해서는 이러한 공정 상의 난점을 해결해야 한다. 본 발명은 컬러 필터의 손상을 방지하기 위하여 컬러 필터가 300℃ 이상의 고온에서 노출되는 시간을 최소화하고자 한다.

일반적으로, 300 ℃에서 플라즈마 정화(비정질 질화 규소막 증착 개시)이후, 안료 입자의 승화가 일어나기까지 약 10 여분이 소요되는데, 500~1000 Å 두께의 비정질 질화 규소막을 증착하는데 필요한 시간은 5분 이내이다. 따라서, 게이트 절연막으로 고온 증착 절연막을 포함하는 2중막 구조를 채용하되, 고온 증착 절연막을 500~1000 Å 두께 정도로 얇게 형성하면, 컬러 필터가 손상을 입기 전에 고온 증착 절연막의 형성 공정을 완료할 수 있다.

이와 같이, 본 발명에서 이중층의 게이트 절연막은 저온 증착 절연막과 고온 증착 절연막에 의해 형성될 수 있다. 즉, 게이트 절연막으로 컬러 필터의 내열 온도 이하, 예를 들어, 250℃ 이하에서 증착되는 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등의 저온 증착 절연막을 절연 특성에 필요한 두께로 형성한 후, 활성층인 반도체층과의 사이에 양호한 계면 특성을 확보하기 위하여 고온 증착 절연막을 형성하는데, 이 때, 고온 증착 과정에서 컬러 필터가 장시간 고온에 노출되어 손상되는 것을 방지하기 위하여 500~1000 Å의 얇은 두께로 형성한다.

예로, 이중층의 게이트 절연막은 유기 절연막\통상 비정질 질화 규소막, 저온 증착 비정질 질화 규소막\통상 비정질 질화 규소막, 또는, 저온 비정질 산화 규소막\통상 비정질 산화 규소막을 조합하여 사용할 수 있다. 이 때, 유기 절연막은 PFCB, BCB, 혹은 아크릴 등을 사용할 수 있다.

특히, 유기 절연막\비정질 질화 규소막의 2중막 구조는 저유전율에 의한 기생 캐패시턴스 감소와 수소화 비정질 규소층과의 양호한 계면 특성을 동시에 구현할 수 있는 특징이 있다. 즉, 게이트 배선 위에 공정 온도가 낮은 유기 절연막을 형성하여 전기적 절연에 필요한 충분한 두께를 확보하고, 상층과의 계면 특성을 보존하기 위해 500~1000 Å 두께의 얇은 비정질 질화 규소막을 적층하는 것이다.

그러면, 상술된 바에 의하여 게이트 절연막을 이중막으로 형성한 경우에 있어서의 박막 트랜지스터 기판의 구조를 도 4와 도 5를 참조하여 설명한다.

도 4는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 5는 도 4에 도시한 박막 트랜지스터 기판을 절단선 V-V'을 따라 나타낸 단면도이다. 도 5에는 박막 트랜지스터 기판인 하부 기판과 이와 마주하는 상부 기판도 함께 도시하였다.

먼저, 하부 기판에는, 하부 절연 기판(100)의 상부에 구리 또는 구리 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 하층(201)과 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 질화 크롬 또는 질화 몰리브덴 등으로 이루어진 상층(202)을 포함하는 데이터 배선이 형성되어 있다.

데이터 배선은 세로 방향으로 뻗어 있는 데이터선(20), 데이터선(20)의 끝에 연결되어 있어 외부로부터 화상 신호를 전달받아 데이터선(20)으로 전달하는 데이터 패드(24) 및 데이터선(20)의 분지로 하부 기판(100)의 하부로부터 이후에 형성되는 박막 트랜지스터의 반도체층(71)으로 입사하는 빛과 이후에 형성될 게이트선(50)과 화소 전극(110) 사이의 빛 새는 영역을 가려주는 광차단부(21)를 포함한다. 여기서, 광 차단부(21)는 누설되는 빛을 차단하는 블랙 매트릭스의 기능도 함께 가지며, 데이터선(20)과 분리하여 단절된 배선으로 형성할 수 있다.

데이터 배선은 이중막으로 형성되어 있지만, 구리 또는 구리 합금 또는 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐(MoW) 합금, 크롬(Cr), 탄탈륨(Ta) 등의 도전 물질로 이루어진 단일막으로 형성할 수도 있다.

여기서는, 이후에 형성되는 화소 배선(110, 111, 112)과 보조 패드(113, 114)가 ITO(indium tin oxide)인 것을 고려하여 하층(201)을 저항이 작은 물질 알루미늄 또는 알루미늄 합금 또는 구리(Cu)로 형성하고 상층(202)은 다른 물질과의 접촉 특성이 좋은 물질인 크롬으로 형성하였지만, 화소 배선(110, 111, 112) 및 보조 패드(113, 114)가 IZO(indium zinc oxide)인 경우에는 알루미늄 또는 알루미늄 합금의 단일막으로 만드는 것이 바람직하며, 구리가 IZO 및 ITO와의 접촉 특성이 우수한 경우에는 구리의 단일막으로 형성하는 것이 바람직하다.

하부 절연 기판(100)의 상부 화소에는 가장자리 부분이 데이터선(20)과 광차단부(21)를 덮는 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)가 각각 형성되어 있다. 여기서, 컬러 필터(31, 32, 33)는 데이

터션(20) 상부에서 서로 겹치도록 형성될 수 있다.

데이터 배선(20, 21, 24) 및 컬러 필터(31, 32, 33) 위에는 BCB(bisbenzocyclobutene) 또는 PFCB(perfluorocyclobutene) 등과 같이 3.0 이하의 낮은 유전율을 특성을 가지고 평탄화되어 있는 유기 절연막(40)이 형성되어 있다.

유기 절연막(40) 상부에는 상부에 구리 또는 구리 합금 또는 알루미늄 또는 알루미늄 합금으로 이루어진 하층(501)과 크롬 또는 몰리브덴 또는 몰리브덴 합금 또는 질화 크롬 또는 질화 몰리브덴 등으로 이루어진 상층(502)을 포함하는 이중층 구조의 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 데이터선(20)과 교차하여 단위 화소를 정의하는 게이트선(50), 게이트선(50)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(50)으로 전달하는 게이트 패드(52) 및 게이트선(50)의 일 부인 박막 트랜지스터의 게이트 전극(51)을 포함한다. 여기서, 게이트선(50)은 후술할 화소 전극(110)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(110)과 게이트선(50)의 중첩으로 발생하는 유지 용량이 충분하지 않을 경우 유지 용량용 공통 전극을 형성할 수도 있다.

이와 같이, 게이트 배선을 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하며, Al(또는 Al 합금)\Cr의 이중층 또는 Cu\Cr의 이중층이 그 예이다. 또한, 접촉 특성을 개선하기 위해 질화 크롬막이나 질화 몰리브덴막 등을 추가할 수도 있다.

게이트 배선(50, 51, 52)은 저저항을 가지는 구리 또는 알루미늄 또는 알루미늄 합금 등의 단일막으로 형성될 수도 있다.

게이트 배선(50, 51, 52) 및 유기 절연막(40) 위에는 저온 증착 절연막(601)과 고온 증착 절연막(602)으로 이루어진 이중층의 게이트 절연막(60)이 형성되어 있다. 이 때, 저온 증착 절연막(601)은 250℃ 이하의 저온에서 증착되는 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등을 사용하여 절연 특성에 필요한 두께로 형성될 수 있고, 고온 증착 절연막(602)은 후술되는 반도체층(70)과의 사이에 양호한 계면 특성을 확보하기 위하여 300℃ 이상의 고온에서 증착되는 용상 비정질 산화 규소막 혹은, 용상 비정질 질화 규소막을 사용하여 500~1000 Å 두께로 얇게 형성할 수 있다.

그리고, 게이트 전극(51) 위의 게이트 절연막(60) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체층(71)이 섬 모양으로 형성되어 있다. 반도체층(71) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 또는 미세 결정화된 규소 또는 금속 실리사이드 따위를 포함하는 저항성 접촉층(ohmic contact layer)(82, 83)이 서로 분리되어 형성되어 있다.

접촉층(82, 83) 위에는 IT0로 이루어진 소스용 및 드레인용 전극(112, 111)이 각각 형성되어 있다. 소스용 전극(112)은 게이트 절연막(60) 및 유기 절연막(40)에 형성되어 있는 접촉 구멍(61)을 통하여 데이터선(20)과 연결되어 있다. 드레인용 전극(111)에는 화소 영역에 형성되어 있고 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(110)이 일체로 형성되어 있다. 화소 배선(110, 111, 112)은 IT0 또는 IZO 따위의 투명한 도전 물질로 만들어지며, 드레인용 전극(111)과 물리적·전기적으로 일체로 연결되어 화상 신호를 전달받는다.

또한, 화소 배선(110, 111, 112)과 동일한 층에는 접촉 구멍(62, 64)을 통하여 게이트 패드(52) 및 데이터 패드(24)와 각각 연결되어 있는 보조 게이트 패드(113) 및 보조 데이터 패드(114)가 형성되어 있다. 여기서, 보조 게이트 패드(113)는 게이트 패드(52)의 상부막(502)인 크롬막과 직접 접촉하고 있으며, 보조 데이터 패드(114) 또한 데이터선(24)의 상부막(202)인 크롬막과 직접 접촉하고 있다. 이때, 게이트 패드(52) 및 데이터 패드(24)가 질화 크롬막이나 질화 몰리브덴막을 포함하는 경우에는 보조 게이트 패드(113) 및 보조 데이터 패드(114)는 질화 크롬막이나 질화 몰리브덴막과 접촉하는 것이 바람직하다. 이들은 패드(52, 24)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 화소 전극(110)은 또한 이웃하는 게이트선(50) 및 데이터선(20)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다.

여기서, 저항성 접촉층(82, 83)은 IT0의 소스용 및 드레인용 전극(112, 111)과 반도체층(70) 사이의 접촉 저항을 줄이는 기능을 가지며, 미세 결정화된 규소층 또는 몰리브덴, 니켈, 크롬 등의 금속 실리사이드가 포함될 수 있으며, 실리사이드용 금속막이 잔류할 수도 있다.

소스용 및 드레인용 전극(112, 111)의 상부에는 박막 트랜지스터를 보호하기 위한 보호막(90)이 형성되어 있으며, 그 상부에는 광 흡수가 우수한 짙은 색을 가지는 감광성 유색 유기막(130)이 형성되어 있다. 이때, 유색 유기막(130)은 박막 트랜지스터의 반도체층(70)으로 입사하는 빛을 차단하는 역할을 하고, 유색 유기막(130)의 높이를 조절하여 하부 절연 기판(100)과 이와 마주하는 상부 절연 기판(200) 사이의 간격을 유지하는 기능을 가지는 간격 유지재로 사용된다.

여기서, 보호막(90)과 유기막(130)은 게이트선(50)과 데이터선(20)을 따라 형성될 수도 있으며, 유기막(130)은 게이트 배선과 데이터 배선 주위에서 누설되는 빛을 차단하는 역할을 가질 수 있다.

한편, 상부 기판에는, 상부 절연 기판(200)의 상부에 IT0 또는 IZO로 이루어져 있으며, 화소 전극(110)과 함께 전기장을 생성하는 공통 전극(210)이 전면적으로 형성되어 있다.

이 때, 유색 유기막(130)이 후술한 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판에서와 같이, 화소 전극 및 각 금속층과의 틈을 모두 가려줄 수 있도록 설계되는 경우에는 상부 기판에 광차단을 위한 별도의 블랙 매트릭스를 설계할 필요가 없는 장점이 있다.

그러면, 이러한 본 발명의 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 도 6a 부터 도 14b와 앞서의 도 4 및 도 5를 참조하여 상세히 설명한다.

먼저, 도 6a 및 도 6b에 도시한 바와 같이, 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 등

과 같이 저저항을 가지는 도전 물질과 크롬 또는 몰리브덴 또는 티타늄 또는 질화 크롬 또는 질화 몰리브덴 등과 같이 다른 물질, 특히 ITO와 접촉 특성이 우수한 도전 물질을 차례로 스퍼터링 따위의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 하부 절연 기판(100) 위에 하부막(201)과 상부막(202)으로 이루어진 데이터선(20), 데이터 패드(24) 및 광 차단부(21)를 포함하는 데이터 배선(20, 21, 24)을 형성한다.

앞에서 설명한 바와 같이, 이후에 형성되는 화소 배선(110, 111, 112) 및 보조 패드(113, 114)가 ITO(indium tin oxide)인 것을 고려하여, 알루미늄 또는 알루미늄 합금 또는 구리(Cu) 또는 구리 합금 등으로 데이터 배선의 하부막(201)을 형성하고, 크롬 또는 몰리브덴 또는 티타늄 등으로 데이터 배선의 상부막(202)을 형성하였지만, 화소 배선(110, 111, 112) 및 보조 패드(113, 114)가 IZO(indium zinc oxide)인 경우에는 알루미늄 또는 알루미늄 합금의 단일막으로 형성할 수 있으며, 구리가 IZO 및 ITO와의 접촉 특성이 우수한 경우에는 구리 또는 구리 합금의 단일막으로 형성하여 제조 공정을 단순화할 수 있다.

이어, 도 7a 및 7b에 도시한 바와 같이 적(R), 녹(G), 청(B)의 안료를 포함하는 감광성 물질을 차례로 도포하고 마스크를 이용한 사진 공정으로 패터닝하여 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)를 차례로 형성한다. 이 때, 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)는 세 장의 마스크를 사용하여 형성하지만, 제조 비용을 줄이기 위하여 하나의 마스크를 이동하면서 이용하여 형성할 수도 있다. 또한, 레이저(laser) 전사법이나 프린트(print)법을 이용하면 마스크를 사용하지 않고 형성할 수도 있어, 제조 비용을 최소화할 수도 있다. 이때, 도면에서 보는 바와 같이, 적(R), 녹(G), 청(B)의 컬러 필터(31, 32, 33)의 가장자리는 데이터 배선(20, 21)과 중첩되도록 형성하는 것이 바람직하다.

이어, 도 8a 및 도 8b에서 보는 바와 같이, 하부 절연 기판(100) 상부에 3.0 이하의 낮은 유전율을 가지며, 평탄화 특성이 우수한 유기 물질을 이용하여 유기 절연막(40)을 형성한다. 이러한 유기 물질로는 BCB 또는 PFCB 등이 있다.

이어, 알루미늄 또는 알루미늄 합금 또는 구리 또는 구리 합금 등과 같이 저저항을 가지는 도전 물질과 크롬 또는 몰리브덴 또는 티타늄 또는 질화 크롬 또는 질화 몰리브덴 등과 같이 다른 물질, 특히 ITO와 접촉 특성이 우수한 도전 물질을 차례로 스퍼터링 등의 방법으로 증착하고 마스크를 이용한 사진 식각 공정으로 건식 또는 습식 식각하여, 하부막(501)과 상부막(502)으로 이루어진 게이트선(50), 게이트 전극(51) 및 게이트 패드(52)를 포함하는 게이트 배선(50, 51, 52)을 형성한다.

앞에서 설명한 바와 같이, 이후에 형성되는 화소 배선(110, 111, 112) 및 보조 패드(113, 114)가 ITO(indium tin oxide)인 것을 고려하여 이중막(501, 502)으로 형성하였지만, 데이터 배선(20, 21, 24)과 같이 게이트 배선(50, 51, 52)도 화소 배선(110, 111, 112)과 보조 패드(113, 114)가 IZO(indium zinc oxide)인 경우에는 알루미늄 또는 알루미늄 합금의 단일막으로 형성할 수 있으며, 구리 또는 구리 합금이 IZO 및 ITO와의 접촉 특성이 우수한 경우에는 구리의 단일막으로 형성하여 제조 공정을 단순화할 수 있다.

이어, 도 9에 보인 바와 같이, 게이트 배선(50, 51, 52) 및 유기 절연막(40) 위에는 저온 증착 절연막(601), 고온 증착 절연막(602), 비정질 규소막(70) 및 불순물이 도핑된 비정질 규소막(80)을 계속 해서 증착한다.

이 때, 저온 증착 절연막(601)은 250℃ 이하의 저온에서 증착이 되는 절연막, 예를 들어, 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 등을 사용하여 형성할 수 있고, 고온 증착 절연막(602)은 300℃ 이상의 고온에서 증착이 되는 절연막, 예를 들어, 통상 비정질 산화 규소막 혹은, 통상 비정질 질화 규소막을 사용하여 형성할 수 있다.

저온 증착 절연막(601)과 고온 증착 절연막(602)은 불연속적으로 증착할 수 있으며, 고온 증착 절연막(602)과 비정질 규소막(70) 및 불순물이 도핑된 비정질 규소막(80)은 연속적으로 증착할 수 있다. 저온 증착 절연막(601)과 고온 증착 절연막(602)은 게이트 절연막(60)이 된다.

저온 증착 절연막(601)은 게이트 배선(50, 51, 52)와의 절연 특성에 필요한 정도로 두껍게 형성하고, 고온 증착 절연막(602)은 플라즈마 정화 즉, 증착의 개시부터 컬러 필터(31, 32, 33)의 안료 입자가 승화되기 전까지의 시간 범위 내에서 증착 공정을 완료할 수 있는 정도의 두께, 예를 들어, 500 ~ 1000Å 정도로 얇게 형성한다.

다음, 도 10a 및 10b에 도시한 바와 같이, 게이트 절연막(60), 비정질 규소막(70), 불순물이 도핑된 비정질 규소막(80)을 마스크를 이용한 사진 공정으로 패터닝하여 섬 모양의 반도체층(71) 및 저항성 접촉층(81)을 형성하고 동시에, 게이트 절연막(60)과 유기 절연막(40)에 데이터선(20), 게이트 패드(52) 및 데이터 패드(24)를 각각 드러내는 접촉 구멍(61, 62, 64)을 형성한다.

이때, 게이트 전극(51)의 상부를 제외한 부분의 비정질 규소막(70) 및 불순물이 도핑된 비정질 규소막(80)을 모두 제거해야 하며, 게이트 패드(52) 상부 부분의 비정질 규소막(70) 및 불순물이 도핑된 비정질 규소막(80)과 함께 게이트 절연막(60)도 제거해야 하며, 데이터선(20) 및 데이터 패드(24) 상부 부분의 비정질 규소막(70), 불순물이 도핑된 비정질 규소막(80) 및 게이트 절연막(60)과 함께 유기 절연막(40)도 제거해야 한다.

이를 하나의 마스크를 이용한 사진 식각 공정으로 형성하기 위해서는 부분적으로 다른 두께를 가지는 감광막 패턴을 식각 마스크로 사용해야 한다. 이에 대하여 도 11을 통하여 상세하게 설명하기로 한다.

도 11에서 보는 바와 같이, 불순물이 도핑된 비정질 규소막(80)의 상부에 감광막을 1 μm 내지 2 μm의 두께로 도포한 후, 마스크를 이용한 사진 공정을 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴(312, 314)을 형성한다.

이때, 감광막 패턴(312, 314) 중에서 게이트 전극(51)의 상부에 위치한 제 1 부분(312)은 나머지 제 2 부분(314)보다 두껍게 되도록 형성하며, 데이터선(20), 데이터 패드(24) 및 게이트 패드(52)의 일부 위

에는 감광막이 존재하지 않도록 한다. 제 2 부분(314)의 두께를 제 1 부분(312)의 두께의 1/2 이하로 하는 것이 바람직한다. 예를 들면, 4,000 Å 이하인 것이 좋다.

이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는 데, 여기에서는 양성 감광막을 사용하는 경우의 한 방법에 대하여 설명한다.

노광기의 분해능보다 작은 패턴, 예를 들면 8 영역에 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 두어 빛의 조사량을 조절하는 마스크(1000)를 사용하는 기술을 사용한다.

이와 같은 마스크(1000)를 통하여 감광막에 빛을 조사하면, 조사되는 빛의 양 또는 세기에 따라 고분자들이 분해되는 정도가 다르게 된다. 이때, 빛에 완전히 노출되는 C 영역에 대응하는 부분의 고분자들이 완전히 분해될 때 노광을 마치면, 빛에 완전히 노출되는 부분에 비하여 슬릿이나 반투명막이 형성되어 있는 8 영역을 통과하는 빛의 조사량이 적으므로 8 영역에 대응하는 부분에서 감광막은 완전히 분해되지 않은 상태이다. 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 함은 물론이다.

이러한 감광막을 현상하면, 분자들이 분해되지 않은 제 1 부분(312)만이 남고, 빛이 적게 조사된 제 2 부분(314)은 제 1 부분(312)보다 얇은 두께로 일부만 남고, 빛에 완전히 노광된 C 영역에 대응하는 부분에는 감광막이 거의 제거된다.

이러한 방법을 통하여 위치에 따라 두께가 서로 다른 감광막 패턴이 만들어진다.

이러한 감광막 패턴(312, 314)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(80), 비정질 규소막(70) 및 이중층 구조의 게이트 절연막(60)을 건식 식각하여 게이트 패드(52)를 드러내는 접촉 구멍(62)을 완성하고, C 영역에 대응하는 부분의 유기 절연막(40)을 드러낸다. 계속해서, 감광막 패턴(312, 314)을 식각 마스크로 사용하여 C 영역에 대응하는 부분의 유기 절연막(40)을 건식 식각하여 데이터선(20) 및 데이터 패드(24)를 드러내는 접촉 구멍(61, 64)을 완성한다.

이어, 접촉 구멍(61, 62, 64)의 형성을 완성한 후, 감광막의 제 2 부분(314)을 완전히 제거한다. 여기서, 제 2 부분(314)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

이렇게 하면, 감광막 패턴의 제 2 부분(314)은 제거되고, 불순물이 도핑된 비정질 규소막(80)이 드러나게 되며, 감광막 패턴의 제 1 부분(312)은 감광막 패턴의 제 2 부분(312)의 두께만큼 감소된 상태로 남게 된다.

다음, 남아 있는 감광막 패턴의 제 1 부분(312)을 식각 마스크로 사용하여 불순물이 도핑된 비정질 규소막(80) 및 그 하부의 비정질 규소막(70)을 식각하여 제거하여, 게이트 전극(51) 상부의 게이트 절연막(60) 위에 성 모양으로 비정질 규소막(71)과 불순물이 도핑된 비정질 규소막(81) 즉, 반도체층(71)과 저항성 접촉층(81)을 남긴다. 이때, 식각은 건식 식각으로 이루어지며, 반도체층(70)과 게이트 절연막(60)의 식각 선택비가 10:1 이상의 큰 조건하에서 식각을 행하는 것이 바람직하다.

마지막으로 남아 있는 감광막의 제 1 부분(312)을 제거하면, 도 10b에 보인 바와 같은 단면 구조를 얻을 수 있다. 여기서, 제 1 부분(312)의 감광막 찌꺼기를 완전히 제거하기 위하여 산소를 이용한 애싱 공정을 추가할 수도 있다.

다음, 도 12a 및 도 12b에 도시한 바와 같이, ITO층을 증착하고 마스크를 사용하여 마스크를 이용한 사진 식각 공정으로 식각하여 화소 전극(110), 소스용 전극(112), 드레인용 전극(111), 보조 게이트 패드(113) 및 보조 데이터 패드(114)를 형성한다. 이때, ITO 대신 IZO를 사용할 수도 있다.

이어, 소스용 전극(112)과 드레인용 전극(111)을 식각 마스크로 사용하여 이들 사이의 저항성 접촉층(81)을 식각하여 두 부분(82, 83)으로 분리된 저항성 접촉층 패턴을 형성하여, 소스용 전극(112)과 드레인용 전극(111) 사이로 반도체층(70)을 노출시킨다.

마지막으로, 도 4 및 도 5에서 보는 바와 같이, 하부 절연 기판(100)의 상부에 질화 규소나 산화 규소 등의 절연 물질과 검은색 안료를 포함하는 감광성 유기 물질 등의 절연 물질을 차례로 적층하고 마스크를 이용한 사진 공정으로 노광 현상하여 유색 유기막(130)을 형성하고, 이를 식각 마스크로 사용하여 그 하부의 절연 물질을 식각하여 보호막(90)을 형성한다. 이때, 유색 유기막(130)은 박막 트랜지스터로 입사하는 빛을 차단하며, 게이트 배선 또는 데이터 배선의 상부에 형성하여 배선의 주위에서 누설되는 빛을 차단하는 기능을 부여할 수도 있다. 또한 본 발명의 실시예와 같이 유기막(130)의 높이를 조절하여 간격 유지재로 사용할 수도 있다.

한 편, 상부 기판은, 상부 절연 기판(200)의 상부에 ITO 또는 IZO의 투명한 도전 물질을 적층하여 공통 전극(210)을 형성한다.

이 때, 유색 유기막(130)이 화소 전극(110) 및 각 금속층과의 틈을 모두 가려줄 수 있도록 설계되는 경우에는 상부 기판에 광차단을 위한 별도의 블랙 매트릭스를 설계할 필요가 없는 장점이 있다.

이에 대하여 도 13을 참조하여 설명한다.

도 13은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 배치도를 나타낸 것이다.

본 발명의 제1 실시예에 따른 박막 트랜지스터 기판과 비교하여, 데이터 배선(20, 21, 24) 및 유색 유기막(130)의 패턴이 다를 뿐이다.

게이트선(50)과 화소 전극(110)이 소정의 간격을 두도록 설계될 경우에는, 화소 전극(110)과 게이트선(50) 사이의 빛 새는 부분을 가려줄 필요가 있다. 이를 위하여, 컬러 필터(31, 32, 33)의 하부에 형성된 데이터 배선(20)의 일부를 게이트선 방향으로 돌출되도록 연장하되, 게이트선(50)과 화소 전극(110) 사이의 틈을 가려줄 수 있도록 형성한다. 이 때, 데이터 배선(20)으로 가려줄 수 없는 부분

즉, 서로 이웃하는 두 데이터 배선(50)의 사이에는 유색 유기막(130)이 가려줄 수 있도록 형성할 수 있다.

도면에는 표시하지 않았지만, 게이트 배선(50, 51, 52)과 동일한 층에는 게이트 배선(50, 51, 52)형성용 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 세로부가 형성되고, 데이터 배선(20, 21, 24)과 동일한 층에는 데이터 배선(20, 21, 24)형성용 금속 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 가로부가 형성될 수 있다.

이와 같이, 게이트 배선(50, 51, 52) 및 데이터 배선(20, 21, 24)을 형성하는 물질로 화면 표시부의 가장자리 둘레에서 누설되는 빛을 차단하기 위한 블랙 매트릭스의 가로부 및 세로부를 형성하고, 데이터 배선(20, 21, 24)으로 게이트선(50)과 화소 전극(110) 사이의 빛 새는 영역을 가리고, 유색 유기막(130)으로 이웃하는 두 데이터 배선(50) 사이의 빛 새는 영역을 가리도록 하는 경우에, 데이터 배선, 게이트 배선 및 간격 유지재가 박막 트랜지스터 기판에서 빛이 누설되는 모든 영역을 가려줄 수 있어서, 상부 기판에 별도의 블랙 매트릭스가 형성될 필요가 없다. 따라서, 상부 기판과 하부 기판의 정렬 오차를 고려하지 않아도 되므로 개구율을 향상시킬 수 있다. 또한, 데이터선(20)과 화소 전극(110) 사이에는 게이트 절연막(60)과 낮은 유전율을 가지는 유기 절연막(40)이 형성되어 있어, 이들 사이에서 발생하는 커패시팅 용량을 최소화할 수 있어 표시 장치의 특성을 향상시킬 수 있는 동시에 이들 사이에 간격을 둘 필요가 없으므로 개구율을 최대한 확보할 수 있다.

이상, 본 발명에서는 게이트 절연막으로 저온 증착 절연막과 고온 증착 절연막의 이중층 구조로 형성하되, 저온 증착 절연막을 게이트 배선과의 절연 특성에 필요한 정도로 두껍게 형성하여 양호한 TFT의 특성을 유지하고, 고온 증착 절연막을 플라즈마 정화 즉, 증착의 개시부터 컬러 필터의 안료 입자가 승화되기 전까지의 시간 범위 내에서 증착 공정을 완료할 수 있는 정도의 두께로 얇게 형성하여 컬러 필터의 손상을 방지한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 기판 및 그 제조 방법에서는 저온 증착 절연막과 고온 증착 절연막으로 이루어진 이중층 구조의 게이트 절연막을 채용하되, 저온 증착 절연막이 양호한 절연 특성을 가지도록 두껍게 형성하고, 고온 증착 절연막을 컬러 필터가 손상되지 않은 정도의 시간 내에 얇게 형성함으로써 TFT의 특성과 컬러 필터의 특성을 동시에 확보할 수 있다.

(57) 청구의 범위

청구항 1

절연 기판 위에 형성되는 데이터선을 포함하는 데이터 배선,

상기 기판 상부에 형성되어 있는 적, 녹, 청의 컬러 필터,

상기 데이터 배선 및 상기 컬러 필터를 덮는 절연막,

상기 절연막 상부에 형성되어 있으며, 상기 데이터선과 교차하여 상기 화소를 정의하는 게이트선 및 상기 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 이중층 구조의 게이트 절연막,

상기 게이트 절연막과 상기 절연막에 상기 데이터선의 일부를 드러내도록 형성되는 제 1 접촉 구멍,

상기 게이트 전극의 상기 게이트 절연막 상부에 형성되어 있는 반도체층 패턴,

상기 반도체층 패턴 상부에 형성되어 있는 저항성 접촉층 패턴,

상기 저항성 접촉층 패턴 상부에 형성되어 있으며, 상기 제1 접촉 구멍을 통하여 상기 데이터선과 연결되어 있는 소스용 전극, 상기 소스용 전극과 분리되어 마주하는 드레인용 전극 및 상기 드레인용 전극과 연결되는 화소 전극을 포함하는 화소 배선

을 포함하는 박막 트랜지스터 기판.

청구항 2

제1항에서,

상기 게이트 절연막은 250℃ 이하의 저온증착으로 형성되는 저온 증착 절연막과 300℃ 이상의 고온증착으로 형성되는 고온 증착 절연막의 이중층 구조로 형성되는 박막 트랜지스터 기판.

청구항 3

제2항에서,

상기 저온 증착 절연막은 유기 절연막, 저온 비정질 산화 규소막, 저온 비정질 질화 규소막 중의 하나인 박막 트랜지스터 기판.

청구항 4

제2항에서,

상기 고온 증착 절연막은 통상 비정질 산화 규소막 혹은, 통상 비정질 질화 규소막인 박막 트랜지스터 기판.

청구항 5

제2항에서,

상기 고온 증착 절연막은 500 ~ 1000 Å 두께로 형성되는 박막 트랜지스터 기판.

청구항 6

제1항에서,

상기 절연막은 유기 절연 물질로 이루어진 박막 트랜지스터 기판.

청구항 7

제1항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 게이트 절연막 및 상기 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 화소 전극과 동일한 층으로 형성되어 있는 보조 게이트 패드 및 보조 데이터 패드를 더 포함하는 박막 트랜지스터 기판.

청구항 8

제1항에서,

상기 데이터 배선은 상기 데이터선에 연장되어 상기 반도체층 패턴에 대응하는 부분에 위치하는 광 차단부를 더 포함하는 박막 트랜지스터 기판.

청구항 9

제8항에서,

상기 광차단부는 상기 게이트선과 상기 화소 전극 사이의 영역을 가려주도록 상기 게이트선 방향으로 더 연장되어 있는 박막 트랜지스터 기판.

청구항 10

제1항에서,

상기 소스용 전극과 상기 드레인용 전극 사이의 상기 반도체층 패턴 상부에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 기판.

청구항 11

제1항에서,

상기 보호막의 상부에 형성되어 있는 간격 유지재를 더 포함하는 박막 트랜지스터 기판.

청구항 12

절연 기판 위에 데이터선을 포함하는 데이터 배선을 형성하는 단계,

상기 기판 상부에 적, 녹, 청의 컬러 필터를 형성하는 단계,

상기 데이터 배선 및 상기 컬러 필터를 덮는 절연막을 형성하는 단계,

상기 절연막 상부에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 이중층 구조의 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 섬모양의 저항성 접촉층과 반도체층 패턴을 형성하는 동시에 상기 게이트 절연막과 상기 절연막에 상기 데이터선 일부를 드러내는 제1 접촉 구멍을 형성하는 단계,

상기 섬 모양의 저항성 접촉층 패턴 위에 서로 분리되어 형성되어 있으며 동일한 층으로 만들어진 소스용 전극 및 드레인용 전극과, 상기 드레인용 전극과 연결된 화소 전극을 포함하는 화소 배선을 형성하는 단계, 및

상기 소스용 전극과 상기 드레인용 전극의 사이에 위치하는 상기 저항성 접촉층 패턴의 노출 부분을 제거하여 상기 소스용 전극과 상기 드레인용 전극 사이의 상기 반도체층 패턴을 드러내는 단계,

를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 13

제12항에서,

상기 게이트 절연막은 250℃ 이하의 저온 증착으로 형성되는 저온 증착 절연막과 300℃ 이상의 고온 증착으로 형성되는 고온 증착 절연막의 이중층 구조로 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 14

제12항에서,

상기 게이트 절연막, 제 1 접촉 구멍, 상기 반도체층 패턴 및 상기 접촉층 패턴의 형성 단계는,

상기 게이트 배선을 덮는 상기 게이트 절연막, 비정질 규소막 및 불순물이 도핑된 비정질 규소막을 차례로 증착하는 단계,

상기 게이트 전극 위에 위치하는 제 1 부분 및 상기 제 1 접촉 구멍이 형성될 부분을 제외한 전 부분에 제 1 부분보다 얇게 형성되는 제 2 부분으로 이루어지는 감광막 패턴을 형성하는 단계,

상기 감광막의 제 1 부분 및 제 2 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막, 상기 게이트 절연막 및 상기 절연막을 식각하여 상기 제 1 접촉 구멍을 형성하는 단계,

상기 감광막 패턴의 제 2 부분을 제거하는 단계.

상기 감광막 패턴의 제 1 부분을 마스크로 하여 그 하부의 상기 불순물이 도핑된 비정질 규소막, 상기 비정질 규소막을 식각하여 상기 성 모양의 반도체층 패턴과 상기 저항성 접촉층 패턴을 형성하는 단계,

상기 감광막 패턴의 제 1 부분을 제거하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 15

제13항에서,

상기 저온 증착 절연막과 상기 고온 증착 절연막은 불연속적으로 증착하고, 상기 고온 증착 절연막, 상기 비정질 규소막, 상기 불순물이 도핑된 비정질 규소막을 연속적으로 증착하는 박막 트랜지스터 기판의 제조 방법.

청구항 16

제12항에서,

상기 데이터선에 연장되어 상기 반도체층에 대응하는 부분에 위치하는 광 차단부를 더 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 17

제16항에서,

상기 게이트선과 상기 화소 전극 사이의 영역을 가려주도록 상기 광 차단부를 상기 게이트선 방향으로 더 연장하여 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 18

제12항에서,

상기 게이트 배선은 상기 게이트선에 연결되어 외부로부터 신호를 전달받는 게이트 패드를 더 포함하고, 상기 데이터 배선은 상기 데이터선에 연결되어 외부로부터 신호를 전달받는 데이터 패드를 더 포함하며,

상기 게이트 절연막 및 상기 절연막은 상기 게이트 패드 및 상기 데이터 패드를 노출시키는 제2 및 제3 접촉 구멍을 가지고 있으며,

상기 제2 및 제3 접촉 구멍을 통하여 상기 게이트 패드 및 상기 데이터 패드와 연결되며 상기 화소 전극과 동일한 층으로 보조 게이트 패드 및 보조 데이터 패드를 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 19

제12항에서,

상기 화소 배선 형성 단계 이후, 보호막과 간격 유지재를 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 20

기판 위에 형성된 복수의 컬러 필터층,

상기 컬러 필터층 위에 형성된 유기 절연막,

상기 유기 절연막 위에 형성된 복수의 게이트 전극을 포함하는 게이트 배선들,

상기 게이트 배선 전극 위에 250℃ 이하의 저온 증착으로 형성된 저온 증착 절연막,

상기 게이트 전극과 함께 상기 저온 증착 절연막 위에 형성된 반도체층 및 소오스 전극 및 드레인 전극을 포함하여 구성되는 복수의 박막 트랜지스터,

상기 드레인 전극에 전기적으로 연결되는 복수의 화소 전극으로 이루어지는 박막 트랜지스터 기판.

청구항 21

제20항에서,

상기 저온 증착 절연막은 유기 절연막인 박막 트랜지스터 기판.

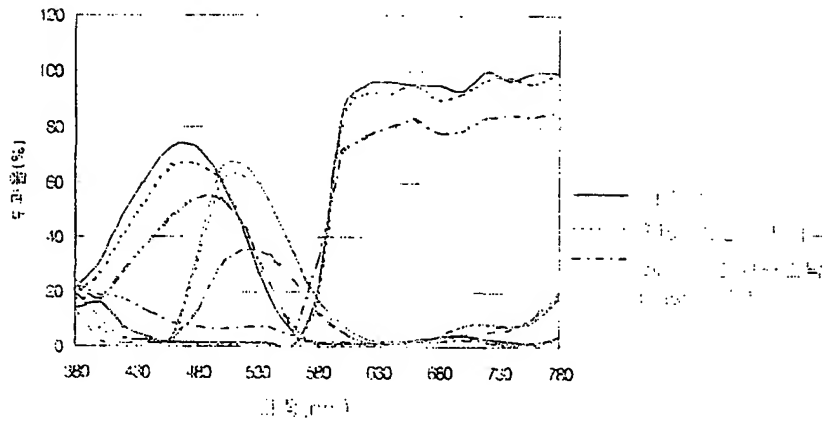
청구항 22

제20항에서,

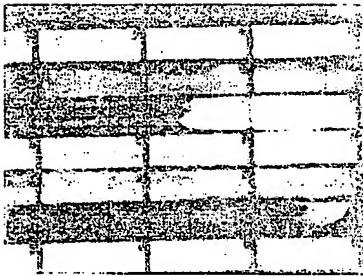
상기 저온 증착 절연막 상에 형성되는 무기 절연막을 더 포함하는 박막 트랜지스터 기판.

도면

도면1



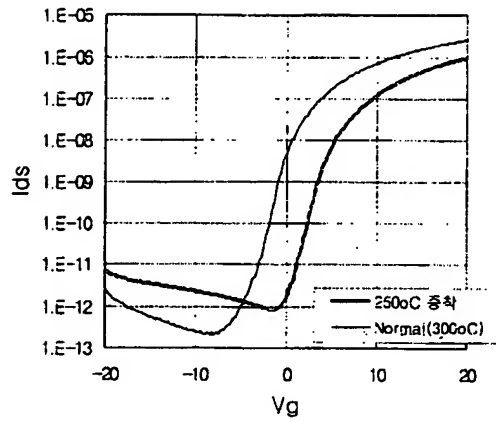
도면2a



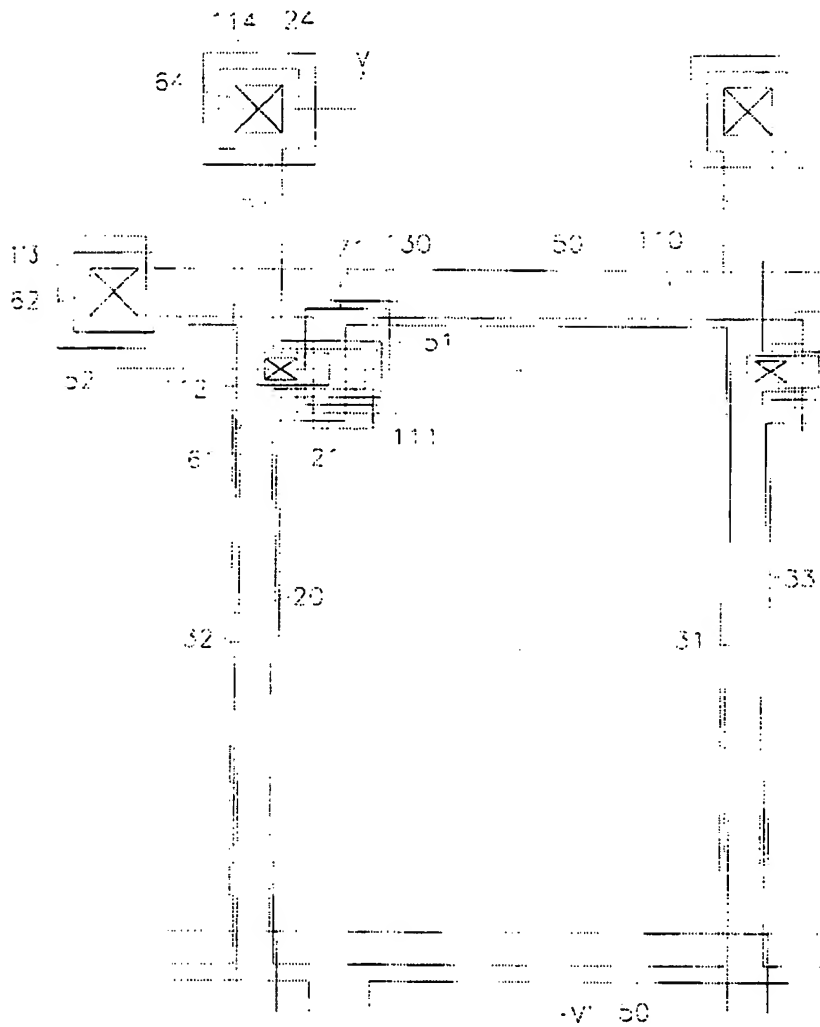
도면2b



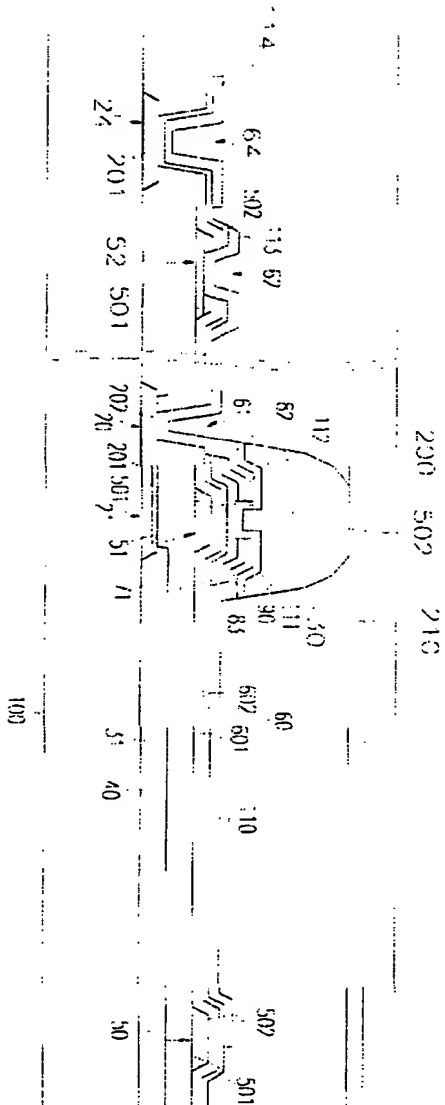
도면3



도면4



도면5

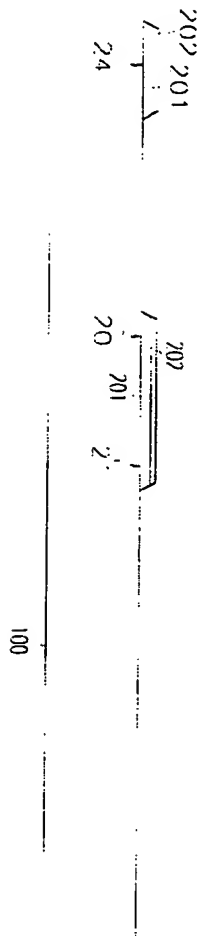


도면6a

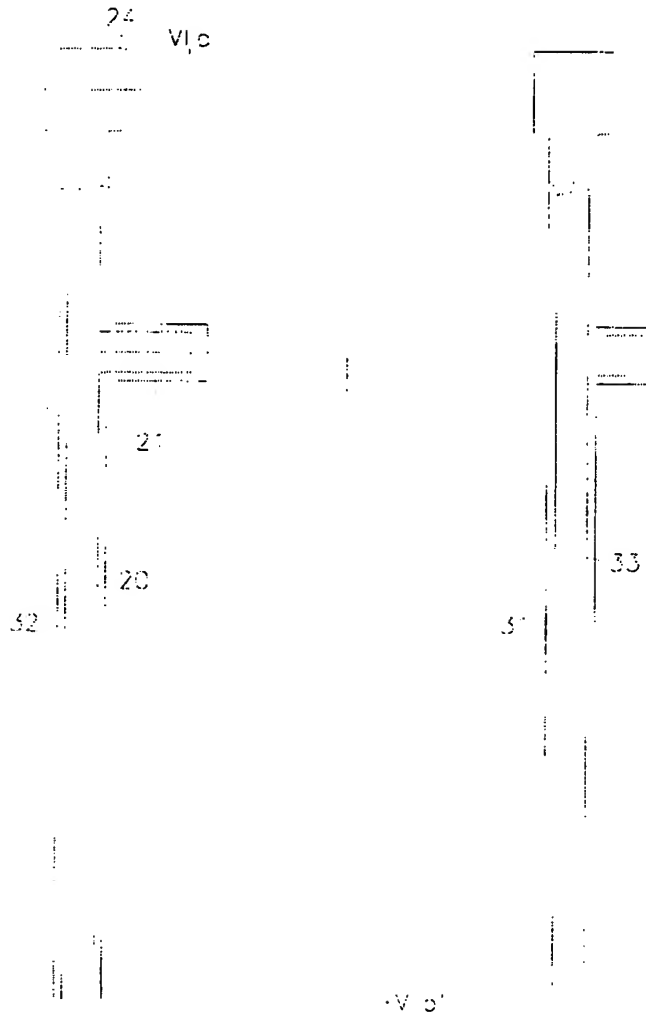


26-14

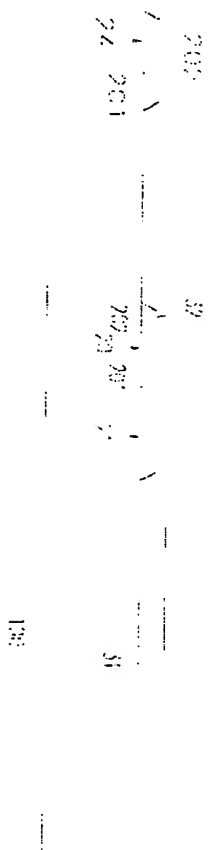
도면6b



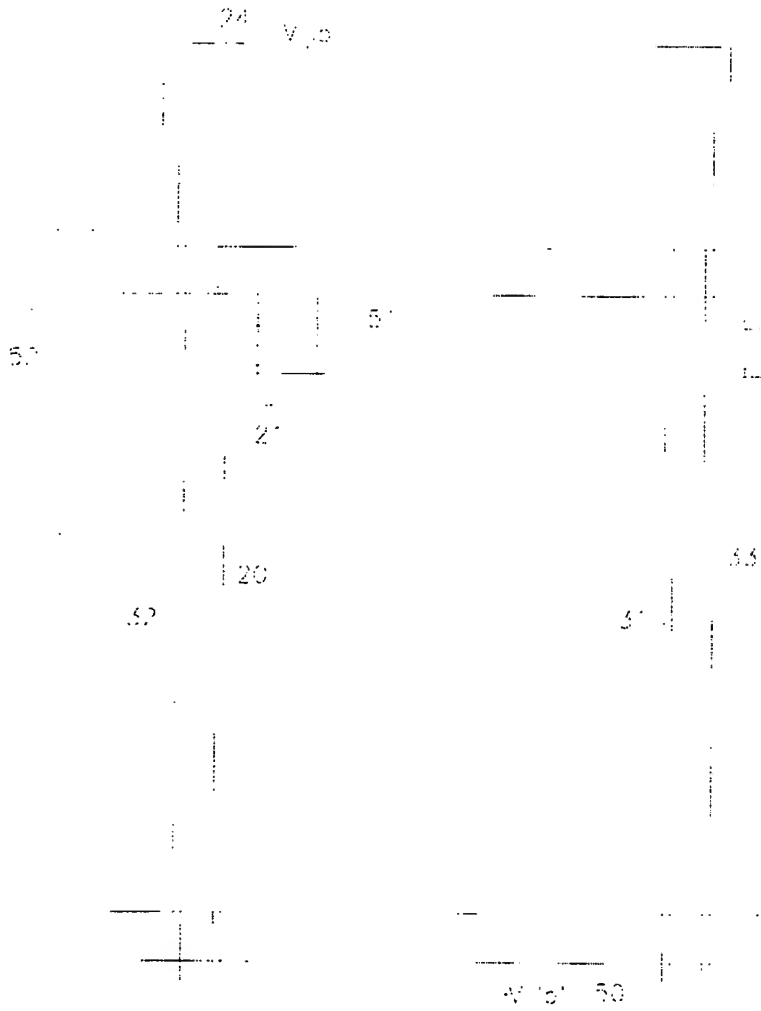
도면7a



도면 7b



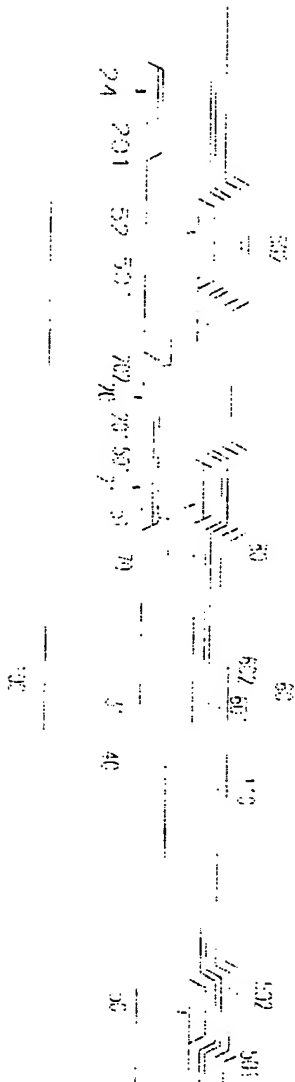
도면8a



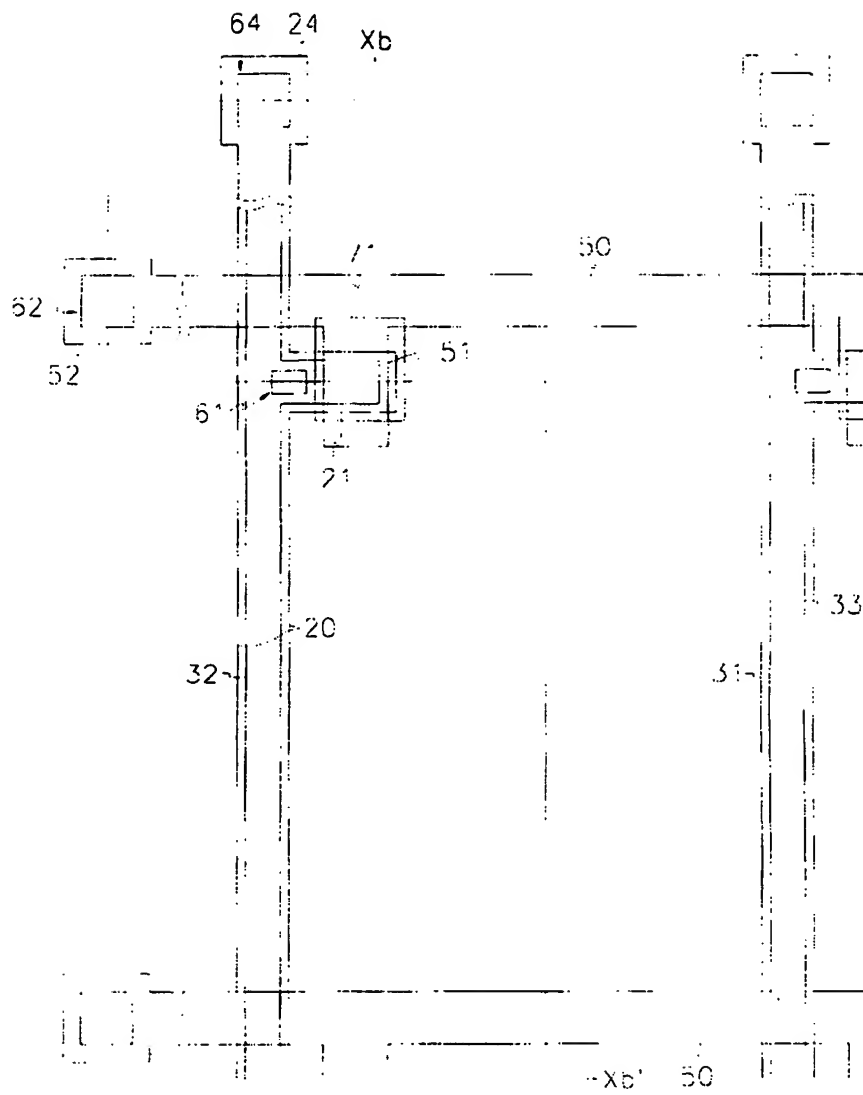
도면 8b



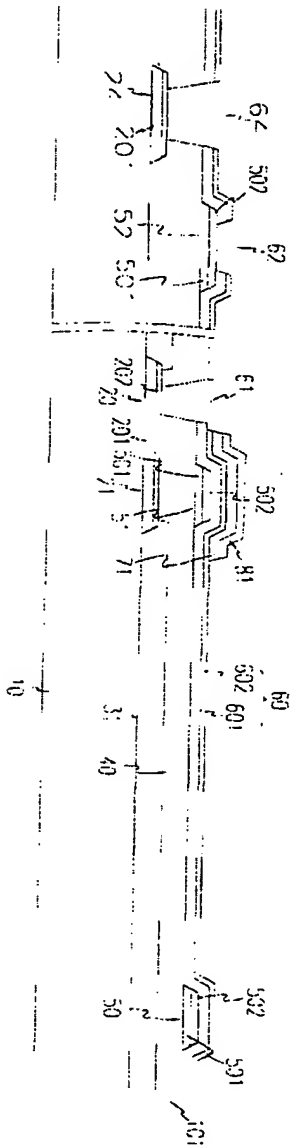
도면9



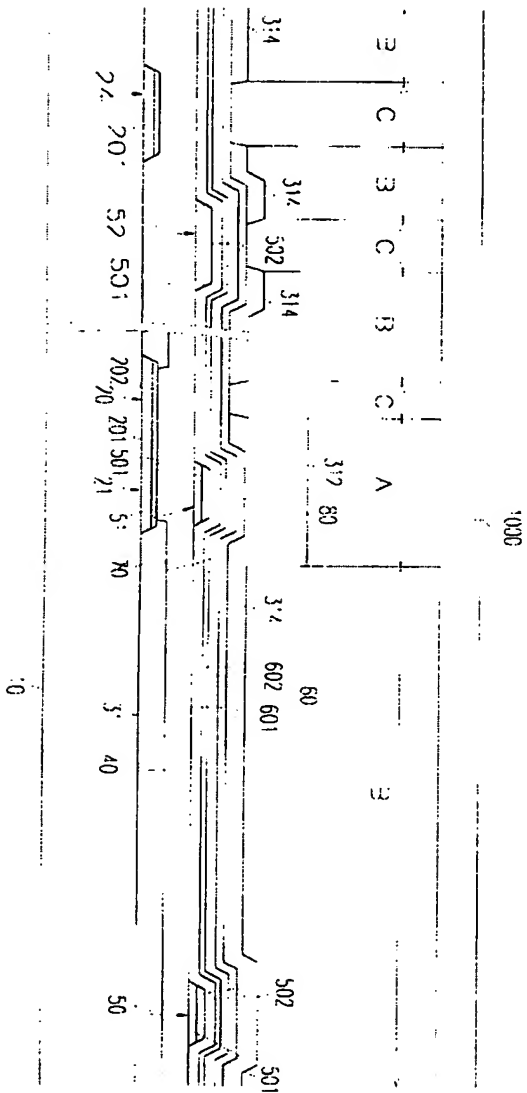
도면 10a



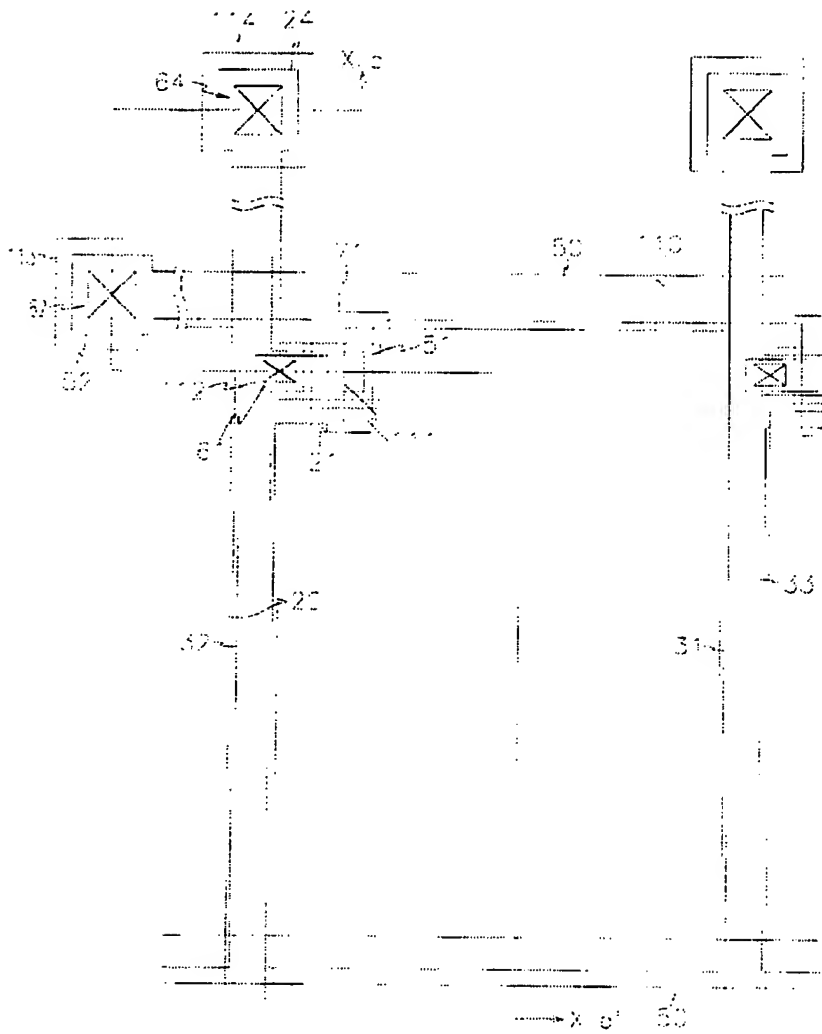
도면 10b



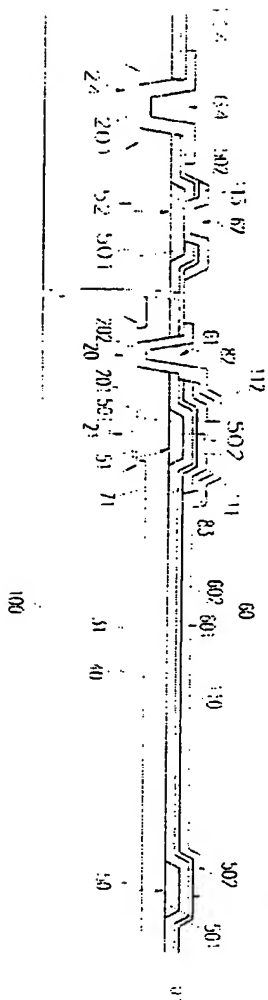
도면11



도면 12a



도면 12b



도면 13

